

PAT-NO: JP402262354A

DOCUMENT-IDENTIFIER: JP 02262354 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE AND WIRING METHOD THEREOF

PUBN-DATE: October 25, 1990

INVENTOR-INFORMATION:
NAME
KURIBAYASHI, MOTOTAKA

ASSIGNEE-INFORMATION:
NAME
TOSHIBA CORP

COUNTRY
N/A

APPL-NO: JP01081434

APPL-DATE: April 3, 1989

INT-CL (IPC): H01L021/90, H01L021/3205

ABSTRACT:

PURPOSE: To obtain a multilayer interconnection structure which is less in level difference and disconnection by providing the first layer in the horizontal direction and second layer in the vertical direction, with the third and fourth layers being respectively provided in directions at +45deg; and -45deg; from the first or second layer.

CONSTITUTION: A multilayer interconnection layer composed of the first to the fourth layers 11-14, with the first and second layers 11 and 12 being respectively provided in the horizontal and vertical

directions and third and fourth layers 13 and 14 being respectively provided in directions at $+45^{\circ}$ and -45° ; from the first or second layer 11 or 12, is provided on a semiconductor substrate and a through hole 22 through which the fourth and third layers 14 and 13 are connected with each other is formed in the area surrounded by the wiring gratings of the first and second layers 11 and 12. Then, for example, the third and fourth layers 13 and 14 are respectively passed over the crossing sections of the wiring gratings of the layer 11 and 12. In addition, a logic cell terminal 21 is provided at the crossing section of the wiring gratings of the layers 11 and 12 and the connection between terminals is performed by means of the layers 13 and 14.

COPYRIGHT: (C)1990, JPO&Japio

⑩ 公開特許公報(A) 平2-262354

⑤ Int. Cl.³H 01 L 21/90
21/3205

識別記号

W

庁内整理番号

6810-5F

③ 公開 平成2年(1990)10月25日

6810-5F

H 01 L 21/88

Z

審査請求 未請求 請求項の数 5 (全6頁)

④ 発明の名称 半導体集積回路装置及びその配線方法

① 特 願 平1-81434

② 出 願 平1(1989)4月3日

② 発 明 者 栗 林 元 隆 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑦ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

④ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

半導体集積回路装置及びその配線方法

2. 特許請求の範囲

- (1) 半導体基板上に第1層から第4層までの多層配線層を有し、第1層が水平方向に、第2層が垂直方向に、第3層が前記第1層又は第2層に対して+45度方向に、第4層が前記第1層又は第2層に対して-45度方向に設けられ、第4層と第3層を接続するスルーホールが第1層と第2層の配線格子で囲まれた領域内に設定されていることを特徴とする半導体集積回路装置。
- (2) 少なくとも第3層及び第4層の1つが第1層と第2層の配線格子の交差部上を通る様に設定されていることを特徴とする請求項1記載の半導体集積回路装置。
- (3) 第3層が第1層と第2層の配線格子の交差部上を通る様に設定され、第4層が第1層と第2層の他の交差部上を通る様に設定されていることを特徴とする請求項1記載の半導体集積回路

装置。

- (4) 第1層及び第2層の配線格子の交差部に設けられた導線が設定され、第3層及び第4層により導線間の接続がなされていることを特徴とする請求項2又は3記載の半導体集積回路装置。
- (5) 配線層を4層を1つの単位として配線層を部分集合に分けるステップと、第1層を基準の0°とし第2層は90°、第3層は+45°、又は-45°、第4層は-45°又は+45°として配線方向を設定するステップと、4つの配線層のうち第3層及び第4層を、0°と90°に座標変換するステップと、第1層、第2層、第3層及び第4層の配線を設定するステップと、4つの配線層のうち第3層及び第4層について座標変換の逆変換を行なうステップとを具備したことを特徴とする半導体集積回路装置の配線方法。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は、半導体集積回路の多層配線構造に

関する。

(従来の技術)

近年、論理LSIの高集積化は、目覚ましいスピードで進んでいる。それにともない、一つの半導体チップに搭載される回路素子数はますますふえて、従来は個別にICとして製造し、後でプリント基板上に組み立てていた大規模の論理回路は1チップにまとめられて、回路動作が高速化されるとか、より製造コストが低くなる等のメリットが出てきた。これを可能にした要因として、計算機を用いた自動設計(CAD:Computer-Aided-Design)技術の進歩と多層配線プロセス技術の進歩があげられる。

高集積化とともに、素子の占める領域よりも、素子間の配線が占める領域のほうに、大きくなっていく。そのため集積度をさらに高めた大規模な半導体集積回路を製造するには素子間の配線のために複数の層を用いて配線を多層化して、チップ上での配線の占める面積を低減しなければならない。

配線のための層としてのみ使用する等が行われていた。

(発明が解決しようとする課題)

以上の様に従来の多層配線構造では、配線層が幾重にも積み重ねられるため段差が激しくなり、その結果として配線が途中で切断されてしまい半導体集積回路装置の信頼性を低下させるという問題点があった。

本発明は、この様な課題を解決する多層配線構造の半導体集積回路装置およびその配線方法を提供することを目的とする。

(発明の構成)

(課題を解決するための手段)

本発明は、上記事情に鑑みて為されたもので、半導体基板上に第1層から第4層までの多層配線層を有し、第1層が水平方向に、第2層が垂直方向に、第3層が前記第1層又は第2層に対して+45度方向に、第4層が前記第1層又は第2層に対して-45度方向に設けられ、第4層と第3層を接続するスルーホールが第1層と第2層の配線

現在、ポリシリコン1層とメタル2層を用いた3層配線がプロセス技術として確立し、スタンダードセルやゲートアレイ等の半導体集積回路装置に用いられている。さらに、近年、プロセス技術の進歩によって、メタルの層を三つ使用したプロセスが可能となってきた。将来も4層以上の多層配線を用いた集積回路装置の開発が行われていくと思われる。

第7図に4層の場合の従来の多層配線構造の断面図を示す。この多層配線構造においては、ポリシリコン層101とメタル第2層103が同一位置に重なり、また、メタル第1層102とメタル第3層104も同一位置に重なるため、配線構造の重なった部分105と配線構造の重ならない部分106とで段差が激しくなり、その結果として配線がこの段差の部分で切断されてしまうという、いわゆる平坦化問題があった。

そのため、多層配線プロセスを使用するにしても、最上位の層には、一般の信号線を張り当てることをしないで配線幅が太い電源配線やグランド

格子で囲まれた領域内に設定されていることを特徴とする半導体集積回路装置を提供するものである。また少なくとも第3層及び第4層の1つが第1層と第2層の配線格子の交差部上を通る様に設定されている事を特徴とする半導体集積回路装置を提供するものである。更に第3層が第1層と第2層の配線格子の交差部上を通る様に設定され、第4層が第1層と第2層の他の交差部上を通る様に設定されている事を特徴とする半導体集積回路装置を提供するものである。更にまた第1層及び第2層の配線格子の交差部に論理セル端子が設定され、第3層及び第4層により端子間の接続が為されている事を特徴とする半導体集積回路装置を提供するものである。

また、本発明は配線層を4層を1つの単位として配線層を部分集合に分けるステップと、第1層を基準の0°とし第2層は90°、第3層は+45°又は-45°、第4層は-45°又は+45°として配線方向を設定するステップと、4つの配線層のうち第3層及び第4層を、0°と90°に座標変換するス

トップと、第1層、第2層、第3層及び第4層の配線を設定するステップと、4つの配線層のうち第3層及び第4層について前記座標変換の逆変換を行なうステップとを具備したことを特徴とする半導体集積回路装置の配線方法を提供するものである。

(作用)

本発明の半導体集積回路装置では、上位配線層第4層および第3層が下位配線層第2層および第1層に対して斜めに交差するために、交差面積が直交する場合に比べて大きくなり、上位配線層第4層および第3層の配線が、プロセス段階で断線しにくくなり、また第3層を第4層を接続するスルーホールが第1層と第2層の配線格子（仮想配線格子）で囲まれた領域内に設定されているために、段差を小さくすることが可能であり断線しにくくなる。

また、本発明の半導体集積回路装置の配線方法では、上記の多層配線構造において、配線方向を決める際、第3層および第4層は座標変換を行な

い、第1層および第2層と同一の処理ステップで計算することが可能となり、プログラムの簡易化、容量の軽減をはかることができる。

(実施例)

以下、本発明の詳細を図示の実施例によって説明する。

第1図は、本発明の一実施例に関わる半導体集積回路装置を示すための図である。同図においては、使用する配線層としてポリシリコン層、アルミニウム第1層、アルミニウム第2層、アルミニウム第3層の4層配線の例を示す。図面において、11で示す点線はポリシリコン層の配線格子を、12で示す一点鎖線はアルミニウム第1層の配線格子を、13で示す破線はアルミニウム第2層の配線格子を、14で示す実線はアルミニウム第3層配線格子を表す。図に示すように、ポリシリコン層とアルミニウム第1層は互いに直行する方向に配線格子を設け、またアルミニウム第2層とアルミニウム第3層も互いに直行する方向に配線格子を設ける。さらに、下位2層と上位2層の配線

格子の位置関係を次のように構成する。

- ① アルミニウム第2層をポリシリコン層と+45度の角度で交わるように設け、アルミニウム第3層を-45度（+135度）の方向に設ける。
- ② アルミニウム第2層とアルミニウム第3層の交差する点が、ポリシリコン層およびアルミニウム第1層の格子の中心に位置する。
- ③ 上位2層の配線格子間隔は、下位2層の配線格子間隔の $\sqrt{2}$ 倍とする。

第2図に、上述した配線格子における、端子及びスルーホールを設ける位置を示す。同図において、○で示した21は論理セルの端子を定義することができる位置を示す。すなわち、端子はポリシリコン配線層格子、アルミニウム第1層配線層格子およびアルミニウム第2層配線層格子の三つの層が交差する点に設定できる。端子間の配線時には、適切なスルーホールを設定することにより、これら3つの層でアクセス可能である。また口で示した22は端子間の配線をアルミニウム第2層とアルミニウム第3層で配線するとき、両層間

を接続するためのスルーホールが設定できる位置を示す。論理セルの設計には、ポリシリコン層とアルミニウム第1層を用いる。この時、アルミニウム第2層とアルミニウム第3層の配線格子が45度、135度の方向にあっても、論理セルの設計には制約は生じない。すなわち、論理セルは、矩形として設計でき、論理セルは従来のように互いに隣接させて配置することが可能である。

第3図に、このような配線格子の上で行われた配線の一例を示す。○で示した端子35と端子36を結ぶ配線において、論理セル端子はアルミニウム第2層で定義されて、端子間の配線にはアルミニウム第2層とアルミニウム第3層を使用する例を示した。+45度の配線セグメント38はアルミニウム第2層であり、-45度方向の配線セグメント39はアルミニウム第3層を使用している。

第4図に、多層配線の構造を説明するためのチップ構造断面図を示す。第4図(a)は、集積回路チップを第1図の水平方向の平面で切断した断面図を示す。第4図(b)は、第1図の+45度の方向の平

面で切断した断面図を示す。41, 42, 43, 44は、ポリシリコン層、アルミニウム第1層、アルミニウム第2層、アルミニウム第3層を示す。また、45は半導体基板、46は絶縁膜を示している。4つの配線層が互いに重なり合うことは起こらず、段差の小さい多層配線プロセスが行なわれる。その結果、アルミニウム第1層配線、アルミニウム第2層配線、アルミニウム第3層配線の断線が起りにくくなる。

また、次のような理由で各層の配線の断線が起りにくくなる。アルミニウム第2層とアルミニウム第3層は、下位の層であるポリシリコン層、アルミニウム第1層にたいして、45度および-45度の角度で交わるために、交差面積が直交する場合に比べて大きくなり、断線が断線しにくくなる。その様子を図5(a), (b)に示す。同図において、51は下位の層の配線を、52は上位の層の配線を、54は配線層51と配線層52が立体交差するときの交差領域を示している。配線層1の線幅が同一のとき(線幅53が同一のとき)、第

5図(b)の方が第5図(a)に比べて交差面積が大きくなる。

また、以上示したような多層配線構造を規定して、第3図に示すような論理セル端子間の配線をCADを用いた自動設計を行なう場合においても、45度方向に回転した座標系を設定するだけでよく、CADの配線プログラムの作成も簡単である。

第6図に本実施例の多層配線構造を自動設計するためのフローチャートを示す。ステップ61において、配線層を4層を1つの単位として全配線層を部分集合に分ける。次にステップ62において、第(4i-3)層は0°、第(4i-2)層は第(4i-3)層に対して90°、第(4i-1)層は第(4i-3)層に対して45°、第4i層は第(4i-3)層に対して-45°と配線方向を決め、ここで45°方向の場合は、ステップ64へ進み0°, 90°方向へ座標変換する。次にステップ63において、第4i、第(4i-1)、第(4i-2)、第(4i-3)層の配線を行なう。ここで45°、-45°方向の場合は、ステップ65へ

進み、ステップ64において行なった座標変換の逆変換を行なう。この様に座標変換を用いているため、実際の配線は、0°, 90°方向と+45°, -45°方向を1つの配線プログラムを用いるだけでよく、プログラムの簡便化、容量の軽減をはかることができる。次に、ステップ66において配線結果を登録する。次にステップ67において、次の4層について同様の処理を行なう。

上記の実施例では、4層配線から成る多層配線構造の場合について説明したが、本発明は、第1層から第n層まで一般的な配線層数を用いる場合にも有効である。

(発明の効果)

以上述べた様に、本発明の半導体集積回路装置によれば、断線の少ない配線構造が得られ、半導体集積回路装置の信頼性の向上につながる。

また、本発明の配線方法によれば、断線の少ない配線構造を得るための配線方法が比較的簡単なプログラムで得ることが可能となる。

4. 図面の簡単な説明

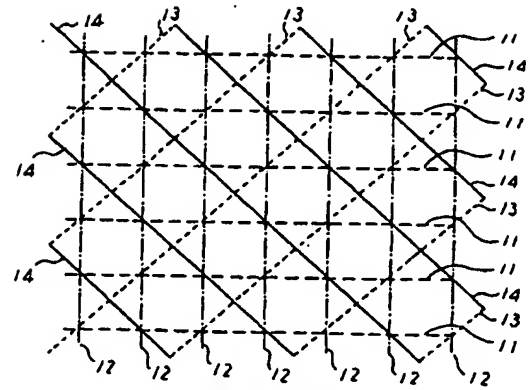
第1図は、本発明による半導体集積回路装置の配線格子の一例を示す図、第2図は、配線格子上に設ける論理セルの端子位置とスルーホール位置を示す図、第3図は、本発明による半導体集積回路装置の配線格子上の2端子間の配線パターンの一例を示す図、第4図は第1図に対応する配線構造の断面構造を示す図、第5図は本発明による配線構造において2つの配線が交差する様子を示す図、第6図は、本実施例の多層配線構造を自動設計するためのフローチャート、第7図は従来の多層配線構造の断面構造を示す図である。

図において、

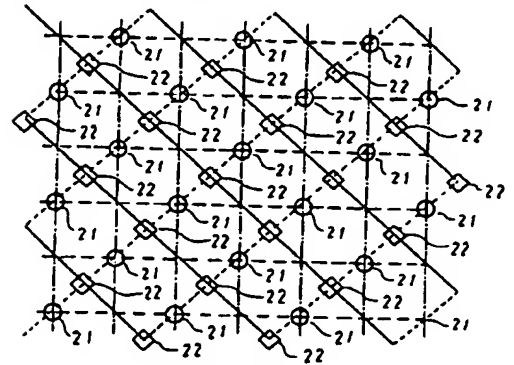
- 11, 31, 41…ポリシリコン配線層、
- 12, 13, 14, 32, 33, 34, 42,
- 43, 44…アルミニウム配線層、
- 21, 35, 36…論理セル端子、
- 22, 37…スルーホール、
- 38…アルミニウム第2層配線層、
- 39…アルミニウム第3層配線層、
- 45…半導体基板、

- 46…絶縁膜、
51…アルミニウム第2層配線層、
52…アルミニウム第3層配線層、
53…アルミニウム第2層の配線端、
54…アルミニウム第2層とアルミニウム第3層が交差する領域、
101…ポリシリコン層、
102…メタル第2層、
103…メタル第1層、
104…メタル第3層、
105…配線構造の重なった部分、
106…配線構造の重ならない部分。

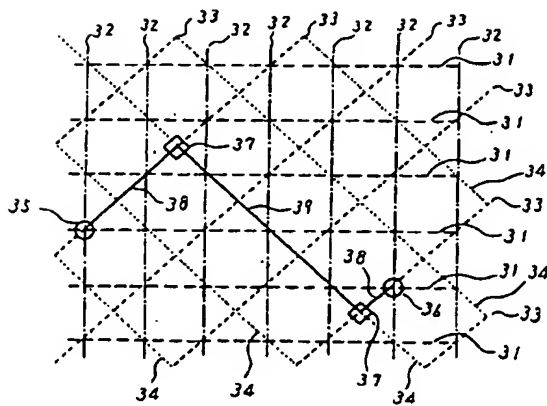
代理人 弁理士 則 近 憲 佑
同 松 山 允 之



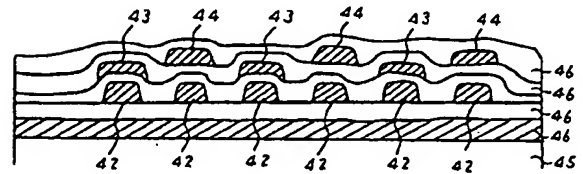
第 1 図



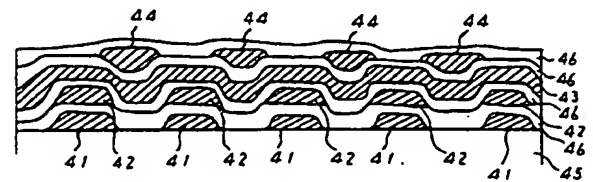
第 2 図



第 3 図

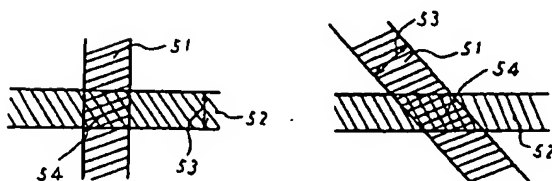


(a)



(b)

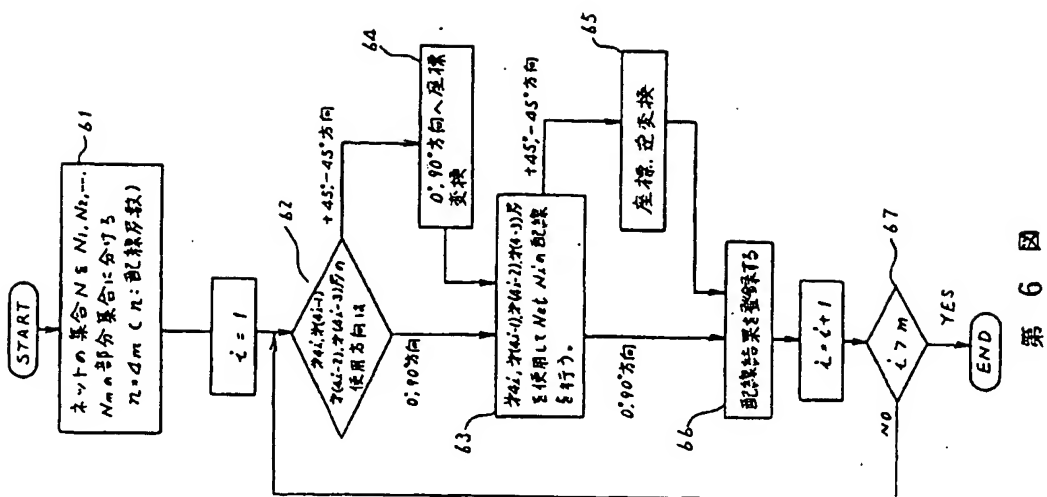
第 4 図



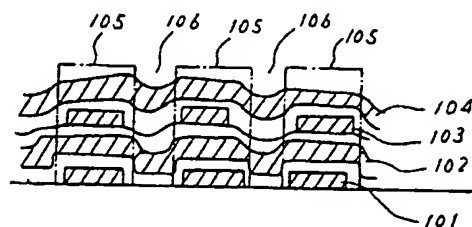
(a)

(b)

第 5 図



第 6 図



第 7 図